

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-223720

(43)Date of publication of application : 11.08.2000

(51)Int.Cl.

H01L 29/861

H01L 21/322

(21)Application number : 11-021637

(71)Applicant : MEIDENSHA CORP

(22)Date of filing : 29.01.1999

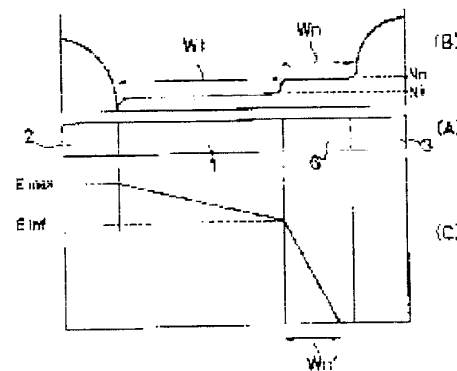
(72)Inventor : YAMADA SHINICHI

(54) SEMICONDUCTOR ELEMENT AND LIFE TIME CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To relax rapid current drop at the time of the end of inverse recovery, and to reduce spike voltage.

SOLUTION: A p type anode layer 2 and an n+ type cathode layer 3 are respectively formed at one edge and the other edge of a substrate constituted of an n type semiconductor whose density is extremely low, and an i layer 1 is formed between the p type anode layer 2 and the n+ type cathode layer 3 in this semiconductor element. An n type impurity layer 6 whose density is lower than that of the n type cathode layer 3 is formed between the i layer 1 and the n+ type cathode layer 3. A distance W_n of the n type impurity layer 6 is made sufficiently shorter than a distance W_i of the i layer 1. Also, the following formula is established by defining the maximum electric field intensity as E_{max} , and electric field intensity when the inclination of the electric field is changed due to the difference of density of the i layer 1 and the n type impurity layer 6 as E_{inf} , and a distance from the distance W_i when the electric field is turned into 0 as W_n' ($W_n' < W_n$) for obtaining a design breakdown strength V_b of the semiconductor element. In this formula, $V_b = (E_{max} + E_{inf})W_i/2 + E_{inf}W_n'/2$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号
特開2000-223720
(P2000-223720A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl. ⁷	識別記号	F I	テラコード*(参考)
H 0 1 L 29/361		H 0 1 L 29/91	D
21/322		21/322	L
		29/91	J

審査請求 未請求 請求項の数15 O L (全 13 頁)

(21)出願番号 特願平11-21637

(22)出願日 平成11年1月29日(1999.1.29)

(71)出願人 000006105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(72)発明者 山田 真一

東京都品川区大崎2丁目1番17号 株式会
社明電舎内

(74)代理人 100062199

弁理士 志賀 富士弥 (外1名)

(54)【発明の名称】 半導体素子およびライフタイム制御方法

(57)【要約】

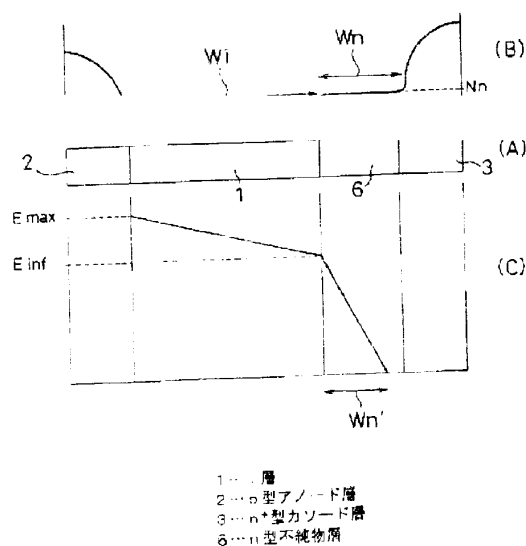
【課題】 逆回復終了時の急激な電流低下を緩和し、スパイク電圧を抑制する。

【解決手段】 極めて低濃度のn型半導体から成る基板

型カソード層3を形成し、前記p型アノード層2とn型カソード層3との間に、層1を形成して成る半導体素子において、前記層1とn型カソード層3との間に、n型カソード層3よりも低濃度のn型不純物層6を形成する。前記n型不純物層6の距離 W_n は前記層1の距離 W_i と比較して十分短くする。また、前記半導体素子の設計耐圧 V_b を得る必要があるため、最大電界強度を E_{max} 、層1とn型不純物層6との濃度差によって電界の傾きが変化する際の電界強度を E_{inf} 、電界が0になった際の W_i からの距離を W_n' ($W_n' < W_n$)として、下記の式が成り立つようにする。

$$V_b = (E_{max} + E_{inf})W_i / 2 + E_{inf}W_n' / 2$$

本発明の実施の第1形態におけるp-i-nダイオード



【特許請求の範囲】

【請求項1】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子において、

前記カソード層と1層との間に、前記カソード層と比較して低濃度のn型半導体から成る不純物層を設けたことを特徴とする半導体素子。

【請求項2】 前記不純物層の厚さは、前記1層の厚さと比較して薄くしたことを特徴とする請求項1記載の半導体素子。

【請求項3】 真空の誘電率を ϵ_0 、半導体材料の比誘電率を ϵ 、電子の電荷量を q 、バンドギャップを E_g 、前記1層の濃度を N_1 、前記1層の厚さを W_1 、前記不純物層の濃度を N_n 、前記不純物層の厚さを W_n 、前記不純物層における電界が0の部分と前記 W_1 との間の距離を $W_{(x)}$ 、最大電界強度を E_{max} 、前記1層とn型半導体層との濃度差によって電界の傾きが変化する際の電界強度を E_{inf} 、設計耐圧を V_b 、前記アノード層と1層との接合で得られる最大の耐電圧値を V_{bm} として

前記 V_b は $(E_{max} + E_{inf})W_1/2 + E_{inf}W_n/2$

前記 E_{max} は前記1層の濃度 N_1 の関数 $(2\epsilon_0\epsilon V_{bm}/qN_1)^{1/2}$ 、

前記 E_{inf} は $E_{max} - qN_1W_1/\epsilon_0\epsilon$ 、

前記 W_n は $E_{inf}/(qN_n/\epsilon_0\epsilon)$

$$V_b = \left(\sum_{x=0}^{c-1} (E_{(x)} - E_{(x+1)})W_{(x)} + E_{(c)}W_{(c)'} \right) / 2$$

が成り立つようにすると共に、前記 $W_{(c)'} W_{(c)}$ を引いた距離が前記カソード側に生じる電界の距離と比較

したことを特徴とする半導体素子。

【請求項7】 請求項6記載の半導体素子において、真空の誘電率を ϵ_0 、半導体材料の比誘電率を ϵ 、電子の電荷量を q 、前記アノード層と1層との接合で得られる最大の耐電圧値を V_{bm} として、 $E_{(c)} = 1/2 V_{bm} / (2\epsilon_0\epsilon V_{bm} / qN_1)^{1/2}$ 、 $E_{(0)} = (n \neq 0)$ は

$$E_{(0)} = q / \epsilon_0 \epsilon \times \sum_{x=0}^{n-1} (N_{(x)} W_{(x)})$$

となることを特徴とする半導体素子。

【請求項8】 前記複数段の不純物層は、濃度分布の式が近似的にガウス分布となるように基板の距離 d_0 からピーク濃度 N_n の拡散を行って形成し、前記 d_0 と、前記拡散による濃度が1層の濃度 N_1 の2

前記 V_{bm} は $60(10^{16}/N_1)^{0.4} > (E_g/1.1)^{3.2}$ 、となるようにし、

前記 W_n から W_n' を引いた距離が前記基板のカソード側に生じる電界の厚さと比較して厚くするように、前記1層の濃度、厚さおよび前記不純物層の濃度、厚さを設計したことを特徴とする請求項1記載の半導体素子。

【請求項4】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子において、

前記1層とカソード層との間に、それぞれ前記1層の濃度と比較して高濃度のn型半導体から成る不純物層を複数段設けたことを特徴とする半導体素子。

【請求項5】 前記不純物層は、前記1層の濃度 N_1 と比較して高濃度のn型半導体から成る第1不純物層と、前記第1不純物層と比較して高濃度のn型半導体から成る第2不純物層と、から成ることを特徴とする請求項4記載の半導体素子。

【請求項6】 前記不純物層を c 段設け、前記1層の濃度を N_1 、厚さを W_1 とし、前記基板の深さ方向の任意の距離を x 、その x における電界を $E_{(x)}$ 、厚さを $W_{(x)}$ 、濃度を $N_{(x)}$ とし、 c 段目の不純物層の電界を $E_{(c)}$ 、厚さを $W_{(c)}$ とし、前記 c 段目の不純物層における電界が0の部分と前記 W_1 との間の距離を $W_{(x)'}$ とし、設計耐圧を V_b として、下記の数式、

【数1】

倍になる部分との間の距離を W_d として、

【数3】

$$(x-d_0)^2$$

$$N_{(x)} = N_1 + (N_n - N_1) \left(\frac{W_{(x)'}}{N_n - N_1} \right)^2$$

が成り立つようにし、

前記 $N_{(x)}$ の式における x の微小な間隔 Δx を前記設計耐圧 V_b 式の $W_{(x)}$ とすると共に、前記微小な間隔 Δx の濃度を $N_{(c)}$ として求めた耐圧が設計耐圧となるように、前記 N_n 、 d_0 、 W_d を設計したことを特徴とする請求項6または7記載の半導体素子。

【請求項9】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子のハイタイム制御方法において、

電流の急激な減少が起こる直前の印加電圧によって生じ

る電界で、前記1層側の一端とカソード層との間のライフタイムを長くするように、前記基板のアノード側から比較的低加速電圧の電子線照射を行なうことを特徴とするライフタイム制御方法。

【請求項10】 前記基板のアノード側から比較的低加速電圧の電子線照射を行う代わりに、前記基板のカソード側から比較的高加速電圧の電子線照射を行なうことを特徴とする請求項1記載のライフタイム制御方法。

【請求項11】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子のライフタイム制御方法において、

電子線、フッ素イオン、ヘリウム等の荷電粒子のうち、何れか1種類の荷電粒子を前記基板に対して少なくとも2回以上照射し、電流が急激に減少が起こる直前の印加電圧によって生じる電界で、1層側の一端とカソード層との間のライフタイムを長くするように制御したことを特徴とするライフタイム制御方法。

【請求項12】 前記電子線、フッ素イオン、ヘリウム等の荷電粒子のうち、それぞれ異なる種類の荷電粒子を前記基板に対して複数回照射したことを特徴とする請求項11記載のライフタイム制御方法。

【請求項13】 前記荷電粒子は、前記基板のアノード側、カソード側、またはアノード側及びカソード側に対して照射したことを特徴とする請求項1または12記載のライフタイム制御方法。

【請求項14】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子のライフタイム制御方法において、前記1層におけるアノード側、カソード側と反対のライフ

起点と直前の印加電圧によって生じる電界で、1層側の一端とカソード層との間のライフタイムを長くするように制御したことを特徴とするライフタイム制御方法。

【請求項15】 請求項1～8記載の半導体素子において、請求項10～14記載のライフタイム制御方法を適用したことを特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電力変換装置に使われる半導体素子、特にpinダイオードに関し、電流減少による静電誘導を低減して、安定した動作を可能にした半導体素子によるライフタイム制御方法に関するものである。

【0002】

【従来の技術】 pinダイオードは、電力変換装置に広く使われ、高耐圧と低い順方向電圧降下とを表現することのできる半導体素子である。

【0003】 図18A(概略構成図)、B(不純物濃度分布図)は、一般的に知られているpinダイオードの説明図を示すものである。図18において、符号2は、極めて低濃度のn型半導体から成る基板(一般0.1Ω・cm、n型半導体)から成る基板の一方の端部に設けられたp型半導体から成るアノード層(アノード領域、以下、p型アノード層)を示すものであり、符号3は前記基板の他方の端部に設けられた比較的高濃度のn型半導体から成るカソード層(カソード領域、以下、n型カソード層と称する)を示すものである。符号1は、前記p型アノード層とn型カソード層との間に形成された1層(真性層)を示すものである。前記1層1、p型アノード層2、n型カソード層3によりpinダイオードが構成される。

【0004】 図18に示したようなpinダイオードは、逆電圧印加時に1層が空乏化し、高い電圧が強い1層に集中される。順方向特性においては、強い1層にてキャリアが元満し、低い電圧降下が生じる。

【0005】

【発明が解決しようとする課題】 前記pinダイオードの逆回復特性において、図19の回路図に示すようなpinダイオード4に有極性のアノード回路を付与した場合、図20の電流(曲線I_a)・電圧(曲線V)波形図のような特性を示す。図20において、pinダイオードにおける電流は、電流曲線I_aにおける一直線領域で囲まれた部分に示すように連続(点線部)ではなく、突然消滅(点線部)していることが読み取れる。このような急激な消滅により、強い印加電圧の状態からオフ状態の誘導電圧が重畳された状態になり、その誘導電圧が耐圧を超えた場合には、ダイオードが破壊されてしまう。

【0006】 図21は、pinダイオードにおける逆過

電圧を抑制する技術、すなわち、逆過電圧抑制技術として、逆方向電流が消滅する部分を予測するのである。図21中の電流曲線I_aにおいて、a点はpinダイオードに逆方向電流が流れている部分と逆方向電流が消滅する直前の部分、すなわちpinダイオードの逆方向電流が消滅した部分を予測するのである。

【0007】 図22、23、24は、それぞれ図21中のa、b、c点における距離、pinダイオードにおけるn型アノード層側の端部からの距離)に対する電子濃度分布図、ホール濃度分布図、電界強度分布図を示すものである。図22、23に示したように、逆回復終了時にn型カソード層近のキャリア(電子およびホール)が消滅するが同時に、1層におけるホール濃度が急激に低下しているために、図20に示したような急激な電流

の減りが起こることを判明した。

【0009】また、図24に示すようにp-nタイナリには、n型カソード層側の電界とは別にn+型カソード層側においても電界(図24中の点線部)が生じてしまい、それらp型アノード層側とn+型カソード層側との各電界が互いに重なり合うために、n+型カソード層側のキャリアが急激に減少してしまうことを認めることができる。

【0010】本発明は、前記課題に基づいて成されたものであり、逆回復終了時の電流の急激な電流低下を緩和し、スローク電圧の発生を抑制して安定した動作が可能でp-nダイオード等の半導体素子および電子デバイス制御方法を提供することにある。

【0010】

【課題を解決するための手段】本発明は、前記課題の解決を図るために、第1発明は、低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子において、前記カソード層と1層との間に比較的低濃度のn型半導体から成る不純物層を設けたことを特徴とする。

【0011】第2発明は、前記第1発明において、前記不純物層の厚さは、前記1層の厚さと比較して薄くしたことを特徴とする。

【0012】第3発明は、前記第1発明において、真空の誘電率を ϵ_0 、半導体材料の比誘電率を ϵ 、電子の電荷量を q 、バンドギャップを E_g 、前記1層の濃度を N_1 、前記1層の厚さを W_1 、前記不純物層の濃度を N_n 、前記不純物層の厚さを W_n 、前記不純物層における電界が0の部分と前記 W_1 との間の距離を W_n' 、最大電界強度を E_{max} 、前記1層とn型不純物層との濃度差によって電界の傾きが変化する際の電界強度を $E:n$

f 、設計耐圧を V_b 、p-n接合で得られる最大の耐電圧値を V_{bm} として、前記 V_b は $(E_{max} + E:n f) W_1 / (2 + E:n f W_n') / 2$ 、前記 E_{max} は前記1層の濃度 N_1 の関数 $(2 V_{bm} / (2 \epsilon_0 \epsilon V_{bm} + q N_1))^{1/2}$ 、前記 $E:n f$ は $E_{max} + q N_1 W_1 / (2 \epsilon_0 \epsilon)$ 、前記 W_n' は $E:n f / (q N_n / \epsilon_0 \epsilon)$ 、前記 V_{bm} は $q (10^{16} / N_1)^{1/2} \times (E_g / 1 - 1)^{1/2}$ となるようにし、前記 W_n から W_n' を引いた距離が前記基板のカソード側における電界の厚さと比較して厚くするように、前記1層の濃度、厚さおよび前記不純物層の濃度、厚さを設計したことを特徴とする。

【0013】第4発明は、低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子において、前記1層とカソード層との間にそれより前記1層の濃度を比較して高濃度のn型半導体から成る不純物層を複数段設けたことを特徴とする。

【0014】第5発明は、前記第4発明において、前記不純物層は、前記1層の濃度 N_1 と比較して高濃度のn型半導体から成る第1不純物層と、前記第1不純物層と比較して高濃度のn型半導体から成る第2不純物層とから成ることを特徴とする。

【0015】第6発明は、前記第4発明において、前記不純物層をC段設け、前記1層の濃度を N_1 、厚さを W_1 とし、半導体素子の深さ方向の任意の距離を x 、その x における電界を $E(x)$ 、厚さを $W(x)$ 、濃度を $N(x)$ とし、C段目の不純物層の電界を $E(x)$ 、厚さを $W(x)$ とし、前記C段目の不純物層における電界が0の部分と前記 W_1 との間の距離を $W(x)'$ とし、設計耐圧を V_b として、下記の数式、

【0016】

【数4】

$$x=0$$

【0017】が成り立つようにすると共に、前記 $W(x)$ から $W(x)'$ を引いた距離が前記カソード側に生じる電界の距離と比較して長くするように、前記 $W(x)$ 、 $N(x)$ をそれぞれ設計したことを特徴とする。

【0018】第7発明は、前記第6発明において、真空の誘電率を ϵ_0 、半導体材料の比誘電率を ϵ 、電子の電荷量を q 、p-n接合で得られる最大の耐電圧値を V_{bm} として、 $E(x)$ は $(2 V_{bm} / (2 \epsilon_0 \epsilon V_{bm} + q N_1))^{1/2}$ 、 $E(x) = (n \neq 0)$ は

【0019】

【数5】

$$E(x) = q / \epsilon_0 \epsilon \times \sum_{x=0}^{n-1} (N(x) W(x))$$

【0020】となることを特徴とする。

【0021】第8発明は、前記第6または第7発明において、前記複数段目の不純物層は、濃度分布が式が近似的にガウス分布となるように基板の距離d0からガウス濃度 N_0 の拡散を繰り返して形成し、前記d0と、前記拡散による濃度が1層の濃度 N_1 の2倍になる部分との間の距離を W_d として、

【0022】

【数6】

【0023】が成り立つようにし、前記N(a)の式におけるxの微小区間Δxを前記設計耐圧W(b)の式でW(x)とすると共に、前記微小区間Δxの濃度をN(x)として求めた耐圧が設計耐圧となつように、前記N(a)、d(b)、W(x)を設計したことを特徴とする。

【0025】第10発明は、前記第9発明において、前記基板の少なくとも一例が比較的低抵抗電圧の電子線照射を容易に許す、前記基板の少なくとも一例が比較的高抵抗電圧の電子線照射を容易に許すことを特徴とする。

荷記電子線、フロン、トリウム等の荷電粒子の照射、それと異なる種類の荷電粒子を前記基板に対して連続照射したことを特徴とする。

【0029】第14を明は、低濃度の型主導体から成る基板の一方の端部には型主導体から成るアノード層が形成され、共に、前記基板の他方の端部には比較的高

前記(1)式が成り立ち、必要がある理由は、加圧における電界がn型半導体層に達しないようにするためである。

【0030】第13発明は、前記第1～第8発明において、前記第9～第14発明のフェーズタイム制御方法を適用したことを特徴とする。

【発明の実施の形態】以下、本発明の実施の第1～第11形態を断面に基いて説明する。

【0035】 α —191A(脂質構成比、B不純物濃度を参照)、C面の電圧印加時の電界強度を第1図14、本発明の実施の第1形態において、 n_1 、 n_2 、 n_3 は、第1説明図を示す方向である。図11において、符号 n_1 は「1層1」の n_1 型カーネル層1との間に形成される、 n_1 型半導体から成る不純物層 n_1 型カーネル層1のドープ濃度、以下、 n_1 型半導体層1と称する、 n_1 型半導体である。

【0035】 2. γ は、 α の十進法設計耐圧 V_{α} が

【 (11) 35 】

【0037】上記1式で $\lim x$ は、下記の数値の関数で表すことができる。ただし、 V_{bm} は1層1が十分に厚い場合に得られる最大の耐電圧値（p型アノード層と

1層との接合(p-n接合)で得られる最大耐電圧値)を示すものである。

$$(2Vb/\epsilon_0\epsilon)(2\epsilon_0\epsilon Vb/m/qN_1)^{1/2} \quad (2)$$

また、 E_{1n1} においては、

$$E_{\max} = qN_1W_1/\epsilon_0\epsilon \quad (3)$$

W_1 においては、

$$6.0(1.0 \times 10^{-4} N_1)^{1/2} (K/Fg/1.1)^{1/2} \quad (5)$$

と表すことができる。なお、前記(1)は真空中の誘電率 ϵ_0 は半導体材料の比誘電率、 q は電子の電荷量、 E_g はバンドギャップであるものとする。また、 W_n から $W_{n'}$ を差し引いた距離は、カソード側に生じる電界の距離と比較して長いものとする。

【0039】図1は発明の実施の第2形態を説明する。前記図1に示したp-nダイオードの N_n の濃度と N_1 の濃度とがほぼ同じと、1層1とn型不純物層6との場合にて、図1に示すように1層1とn型カソード層3との接合で起る現象と同一現象が生じ、ポラリゼーション電圧が発生する場合がある。この場合、 N_n の濃度を薄くすると W_n が長くなってしまい、順方向電圧降下の上昇を招いてしまう。そこで、図2(詳細を後述する)の本実施の第3形態に於てのように、1層とn型カソード層との間に複数段の不純物層を設けた構造のp-nダイオードの検討を行った。

【0040】図2A(概略構成図)、B(不純物濃度分布図)、C(電圧印加時の電界強度分布図)は、本実施の第3形態におけるp-nダイオードの説明図を示すものである。なお、図1に示すものと同様なものには同一符号を付して、その詳細な説明を省略する。

$$Vb = \left(\sum_{x=0}^{n-1} (E_{(x)} - E_{(x+1)}) W_{(x)} + E_{(n)} W_{(n)} \right) / 2 \quad (6)$$

【0044】なお、前記 W_n から $W_{(n)}$ を差し引いた距離は、カソード側に生じる電界の距離と比較して長いものとする。

$$E_{(0)} = q / \epsilon_0 \epsilon \times \sum_{x=0}^{n-1} (N_{(x)} W_{(x)}) \quad (7)$$

【0046】次に、本発明の実施の第3形態を説明する。図2A(概略構成図)、B(不純物濃度分布図)、C(耐電圧印加時の電界強度分布図)は、本実施の第3形態におけるp-nダイオードの説明図を示すものである。なお、図1に示すものと同様なものには同一符号を付して、その詳細な説明を省略する。図2において、p-nダイオードのカソード側にn型不純物によるフローパタ拡散を行って、1層1とn型カソード層3との間にn型拡散層8を形成する。前記n型拡散層8の不純物濃度はガウス分布をなし、そのガウス分布は下記の数式で表すことができる。

【0038】

$$E_{1n1} f / (q N_n / \epsilon_0 \epsilon) \quad (4)$$

Vb においては

【0041】図2において、符号7aは、1層1とn型カソード層3(後述する第2n型不純物層)との間に設けられる第1n型不純物層を示すものであり、その第1n型不純物層7aの不純物濃度は前記1層1の不純物濃度よりも高いものとする。符号7bは、前記第1n型不純物層7aとn型カソード層3との間に設けられる第2n型不純物層を示すものであり、その第2n型不純物層7bの不純物濃度は第1n型不純物層7aの不純物濃度よりも高く、且つ前記n型カソード層3よりも近いものとする。前記第1n型不純物層7aおよび第2n型不純物層7bの不純物濃度の比率は、スバイク電圧が発生しないように制御される。

【0042】図2に示したp-nダイオードの場合、1層1とn型カソード層3との間には2段のn型不純物層(第1、第2n型不純物層)を形成して成るが、それらn型不純物層を複数段にすることにより、順方向電圧降下の上昇をより抑えることができる。例えば、前記複数段のn型不純物層をn段にした際の耐圧 Vb は、下記の数式が成り立つようにする。

【0043】

【数7】

(2)式で表すことができ、 $E_{(n)}$ ($n=0$)は下記の数式で表すことができる。

【0047】

【数9】

$$N_{(x)} = N_i - (N_n - N_i) \left(\frac{N_i}{N_n - N_i} \right)^{\frac{(x-d_0)^2}{Wd^2}} \quad (8)$$

【0048】なお、前記(8)式における x の微小区間 Δx は前記(6)式の $W_{(x)}$ とし、その際の不純物濃度を $N_{(x)}$ とすると、前記(6)式と同様に耐圧を計算することができ、その耐圧がp-nダイオードの設計耐圧となる

ように Nn 、 $d0$ 、 Wd を設計する。

【0049】前記(8)式より、 $x < d0$ のときに $N(x) = Nn$ となることが読み取ることができ、前記 $d0$ は n - n 接合1層と n -型カーボド層との接合よりカソード側に位置するものとし、素子内部に於て必要はない。また、前記のような条件では、一電極のカーボド側に対して不純物濃度の増加するような構造にすることができ、なお、前記図3中の陰極部(前記(8)式を適用して不純物(すなわち不純物)を拡散させた際の不純物濃度分布を示すもの)であり、さらに n -型不純物を拡散させた際の不純物濃度分布は実線部に示される。

【0050】次に、本発明の実施の第4形態を説明する。図4A(概略構成図)、B(不純物濃度分布図)、C(前記印加時の電界強度分布図)は、本実施の第4形態における p - n ダイオードの説明図を示すものである。なお、図1に示すものと同様なものには同一符号を付して、その詳細な説明を省略する。図4において、符号9は n -型不純物層6と n -型カーボド層3との間に設けた比較的濃度の n -型半導体から成る不純物層(以下 n -型不純物層9と称する)を示すものであり、その n -型不純物層9の不純物濃度は前記 n -型不純物層6よりも低いものとする。

【0051】図4に示した p - n ダイオードの場合、 n -型不純物層9の不純物濃度 Nn は1層1の不純物濃度 $N1$ よりも低いものとする。例えば図5A(概略構成図)、B(不純物濃度分布図)に示すように、1層1の濃度 $N1$ と n -型不純物層9の濃度 Nn とを等しくして p - n ダイオードを構成しても良い。また、図6A(概略構成図)、B(不純物濃度分布図)に示すように、 n -型不純物層9の濃度 Nn を1層1の濃度 $N1$ よりも高くしても良い。なお、前記 p - n ダイオードにおける前記印加時の電界は、 n -型不純物層6あるいは n -型不純物層9内に存在しても問題はないが、その電界をカソード側から生じる電界とを交わらないようにする必要がある。

図7A(概略構成図)、B(不純物濃度分布図)は、本実施の第5形態における p - n ダイオードの説明図を示すものである。なお、図2に示すものと同様なものには同一符号を付して、その詳細な説明を省略する。図7において、符号10は p - n ダイオードにおける複数段の n -型不純物層(図7中では、第1 n -型不純物層7a、第2 n -型不純物層7b(2段)、 n -型カーボド層3との間に形成される n -型不純物層)を示すものである。

【0052】前記 n -型不純物層10の不純物濃度は前記複数段の n -型不純物層のうち最終段である第2 n -型不純物層7b(2段)の場合には第 n -型不純物層の濃度(濃度 $N(n)$)よりも低いものとし、例えば1層1の不純物濃度 $N1$ よりも低いものとする。また、前記 n -型不純物層10は、図8A(概略構成図)、B(不純物濃度分

布図)に示すように複数段(図8中では、第1 n -型不純物層10a、第2 n -型不純物層10bの2段)であっても良い。

【0053】次に、本発明の実施の第6形態を説明する。図9に示した p - n ダイオードの場合では、 $d0$ は n - n 接合よりカソード側に位置し、素子内部に位置する必要はないと記載したが、その $d0$ が n - n 接合よりカソード側に位置した場合においても問題は無い。例え、図10A(概略構成図)、B(不純物濃度分布図)の p - n ダイオードの説明図に示すように、 $d0$ が n - n 接合よりカソード側に位置した場合、 n -型不純物層11の不純物濃度 $Nn1$ (n -型不純物層11における不純物濃度の最も低い部分(図9中の符号11a)が形成される。また、極端な一例として、図10A(概略構成図)、B(不純物濃度分布図)に示すように、図9中の n -型不純物層11と n -型カーボド層3との間に1層1より不純物濃度の低い n -型不純物層12を形成した場合においても、図9に示した p - n ダイオードと同様の効果が得られる。

【0054】次に、本発明の実施の第7形態を説明する。図11A(概略構成図)、B(不純物濃度分布図)は、本実施の第7形態における p - n ダイオードの説明図を示すものである。なお、図1に示すものと同様なものには同一符号を付して、その詳細な説明を省略する。図11において、符号13a、13bは、それぞれ不純物濃度が異なり、エピタキシャル成長あるいは基板の張り合わせにより1層1と n -型カーボド層3との間に形成される第1、第2 n -型不純物層(不純物濃度)第1 n -型不純物層13a、第2 n -型不純物層13bを示すものである。符号14a、14bは、それぞれ不純物濃度が異なり、エピタキシャル成長あるいは基板の張り合わせにより前記第2 n -型不純物層13bと n -型カーボド層3との間に形成される第1、第2 n -型不純物層(不純物濃度)第1 n -型不純物層14a、第2 n -型不純物層14bを示すものである。

エピタキシャル成長あるいは基板の張り合わせにより1層1と n -型カーボド層3との間に n -型不純物層による濃度の高い n -型不純物層を複数個形成することにより、図3に示した p - n ダイオードと同様の効果が得られる。なお、図11に示したような p - n ダイオードにおいて、1層1と n -型カーボド層3との間に形成される比較的濃い濃度の不純物層(図11中では第1 n -型不純物層13a、第2 n -型不純物層14b)は、拡散により形成しても良い。

【0055】次に、 p - n ダイオードにおける逆回復終了時の急激な電流低下を緩和する方法として、 p - n ダイオードにおける n -型カーボド層付与(カソード形成)、 n -型カーボド層以外の領域におけるジョイントタイムと比較して長くなる方法を説明する。

【0061】本実施の第8形態における電子線照射方法は、図13(A)概略構成図)、B(干渉物濃度分布図)、C(吸収量分布図)に示すように、p型BaTiO₃シートにおけるp型BaTiO₃層2側の端部から中加速電圧 V_1 及び低加速電圧 V_2 の電子線を照射する。または、図14(A)概略構成図)、B(干渉物濃度分布図)、C(吸収量分布図)に示すように、p型BaTiO₃層2の端部から中加速電圧 V_1 及び低加速電圧 V_2 の電子線を照射する。

【0067】前記複合照射装置は、照射量を調整するべく、加電圧を変化させたり、或いは照射源と被照射材との間に、ガラス板又はアルミホイル等から成る板を介在させ、その板の厚さを種々調整することにより行われる。その際、電流の色散が減少し、起こる直前の印加電圧によって生じる電界において、 n 型第 1 側の一端と p 型カソード層 3 との間の領域の吸収量は、 p 型第 1 側の一端と n 型カソード層 3 との間の領域以外の部分と比

較して少なくなるようにpinダイオードの設計を行う。

【0068】本発明の第10形態におけるライフタイム制御方法以外で、全または部分的なライフタイムキラーをpinダイオードにおけるp型アノード層2側の端部から拡散することにより、電流の急激な減少が起る直前の印加電圧によって生じる電界において、1層1側の一端とn型カソード層3との間の領域のライフタイムを長引かせる方法に依り、本発明の第10形態における照射方法と同様の効果が得られる。

【0069】次に、本発明の実施の第11形態におけるライフタイム制御方法を、図17A(概略構成図)、B(不純物濃度分布図)、C(吸収量分布図)の説明図に基づいて説明する。なお、図17Aにはおなじみと同様のものには同一符号を付して、その詳細な説明を省略する。

【0070】pinダイオードにおける導通時のキャリア分布は、1層1側の供給源となるアノード層の濃度、電子の供給源となるカソード層の濃度、そしてライフタイムによって決定される。そこで、図17に示すように、pinダイオードにおけるn型アノード層2側の端部とn型カソード層3側の端部との間、荷電粒子を照射して、荷電粒子の吸収分面曲線Aを示すように、pinダイオードの1層1におけるn型アノード層2側のn型カソード層3側とライフタイム短い層とを設けられ、設けられた1層1の不純物濃度は低くなる。なお、図17中の曲線Aは導通時のキャリア濃度分布、曲線Bは前記のライフタイム制御を行わない時のキャリア濃度分布を示すものである。

【0071】図17に示すようなキャリア濃度分布により、電流の急激な減少が起る直前の印加電圧によって生じる電界において、1層1側の一端とn型カソード層3との間の領域のキャリア濃度が高くなるように、前記pinダイオードのp型アノード層2側の端部とn型カソード層3側の端部との間の荷電粒子照射位置お

効果は、拡散プロセスを用いた場合においても得られる。

【図面の簡単な説明】

【図1】本発明の実施の第1形態におけるpinダイオードの説明図

【図2】本発明の実施の第2形態におけるpinダイオードの説明図

【図3】本発明の実施の第3形態におけるpinダイオードの説明図

【図4】本発明の実施の第4形態におけるpinダイオード($N_1 > N_2$)の説明図。

【図5】本発明の実施の第4形態におけるpinダイオード($N_1 = N_2$)の説明図。

【図6】本発明の実施の第4形態におけるpinダイオード($N_1 < N_2$)の説明図。

【図7】本発明の実施の第5形態におけるpinダイオード(n型不純物層10)の説明図。

【図8】本発明の実施の第5形態におけるpinダイオード(n型不純物層10a、10b)の説明図。

【図9】本発明の実施の第6形態におけるpinダイオード(n型不純物層11のみ)の説明図。

【図10】本発明の実施の第7形態におけるpinダイオード(n型不純物層11とn型不純物層12)の説明図

【図11】本発明の実施の第7形態におけるpinダイオードの説明図

【図12】1層1中の深さに対する吸収量分布図。

【図13】本発明の実施の第8形態におけるライフタイム制御方法(カソード側)の説明図。

【図14】本発明の実施の第8形態におけるライフタイム制御方法(アノード側)の説明図。

【図15】本発明の実施の第9形態におけるライフタイム制御方法の説明図。

【図16】本発明の実施の第10形態におけるライフタイム制御方法の説明図

射の照射強度を制御することにより、pinダイオードにおける逆回復電流を良好に制御することができる。

【0072】以上示したとおり、本発明の第1～第7形態によるpinダイオードにおいて、本発明の第8～第11形態に示すライフタイムの制御方法を適用することにより、設計耐圧と逆回復時の急激な電流減少による誘導電圧をより低減することができる。pinダイオードの動作をより安定させる効果が得られる。

【0073】

【発明の効果】以上示したとおり、本発明によれば、順方向電圧降下率、および、逆回復時に、設計耐圧と逆回復時の急激な電流減少をより効果的に緩和し、その電流減少による誘導電圧を低減することができる。安定したダイオードの動作を実現することができる。このような

ライフタイム制御方法の説明図。

【図18】一般的に知られているpinダイオードの説明図。

【図19】一般的に知られているpinダイオードの回路図

【図20】一般的に知られているpinダイオードの電流・電圧特性図

【図21】一般的に知られているpinダイオードのアノード電流特性図。

【図22】一般的に知られているpinダイオードの電子濃度特性図

【図23】一般的に知られているpinダイオードホール濃度特性図

【図24】一般的に知られているpinダイオード電界

強度特性図。

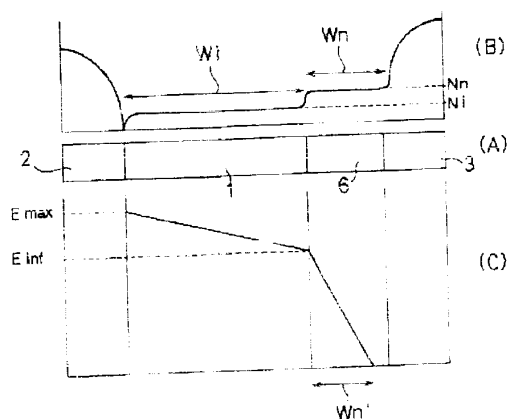
【符号の説明】

- i…i層
 2…p型アノード層
 3…n⁺型カソード層
 6、11…n型不純物層

- 7a、13a…第1n型不純物層
 7b、13b…第2n型不純物層
 8…n型拡散層
 9、10、12…n⁺型不純物層
 10a、14a…第1n⁺型不純物層
 10b、14b…第2n⁺型不純物層

【図1】

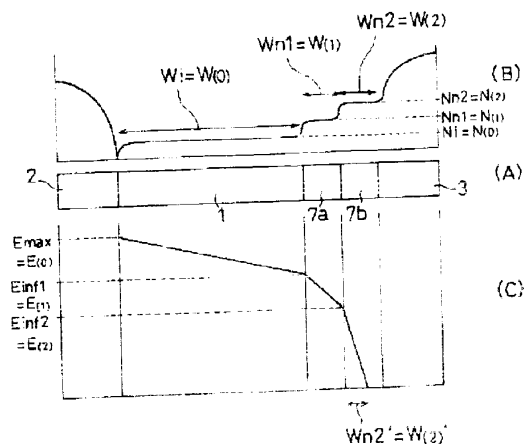
本発明の実施の第1形態におけるp-i-nダイオード



- 1…i層
 2…p型アノード層
 3…n⁺型カソード層
 6…n型不純物層

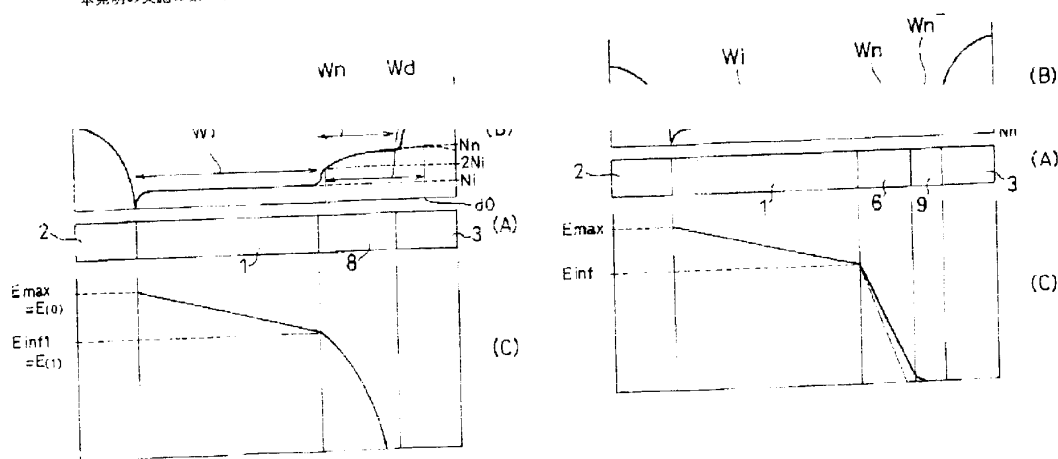
【図2】

本発明の実施の第2形態におけるp-i-nダイオード



- 7a…第1n型不純物層
 7b…第2n型不純物層

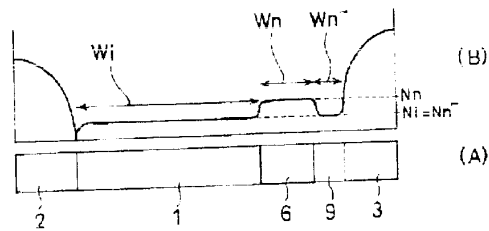
【図4】

本発明の実施の第4形態におけるp-i-nダイオード ($N_i > N_{n^+}$)

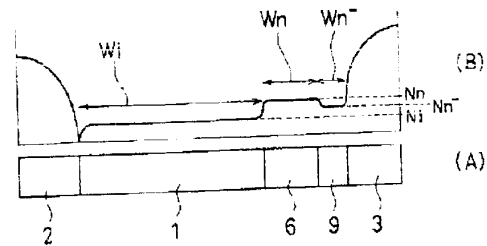
- 9…n⁺型不純物層

8…n型拡散層

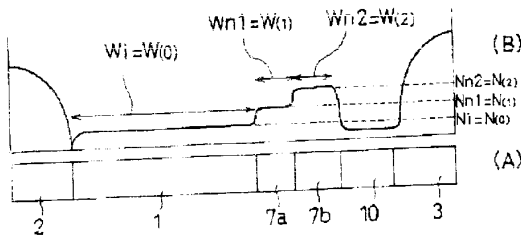
【図5】

本発明の実施の第4形態におけるp-i-nダイオード ($N_i = N_n^-$)

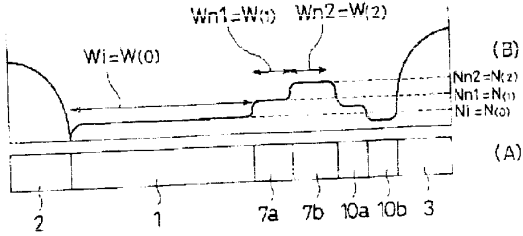
【図6】

本発明の実施の第4形態におけるp-i-nダイオード ($N_i < N_n^-$)

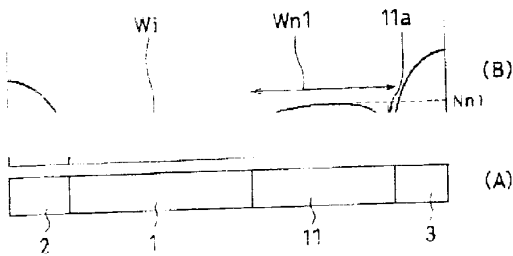
【図7】

本発明の実施の第5形態におけるp-i-nダイオード (n^- 型不純物層10)10... n^- 型不純物層

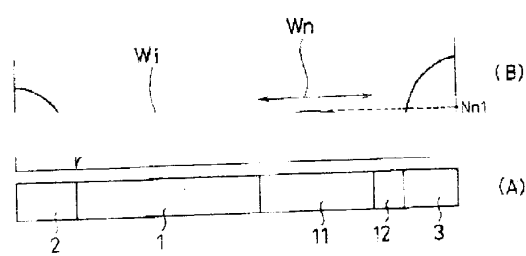
【図8】

本発明の実施の第5形態におけるp-i-nダイオード
(n^- 型不純物層10a、10b)10a...第1 n^- 型不純物層
10b...第2 n^- 型不純物層

【図9】

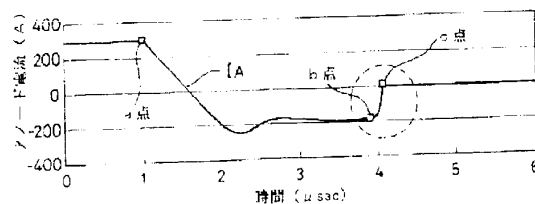
本発明の実施の第6形態におけるp-i-nダイオード
(n^- 型不純物層11のみ)11... n^- 型不純物層

【図10】

本発明の実施の第6形態におけるp-i-nダイオード
(n^- 型不純物層11と n^- 型不純物層12)12... n^- 型不純物層

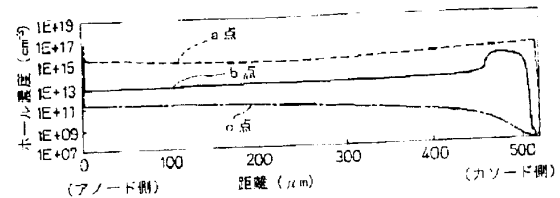
【図21】

p-i-nダイオードのアノード電流特性図

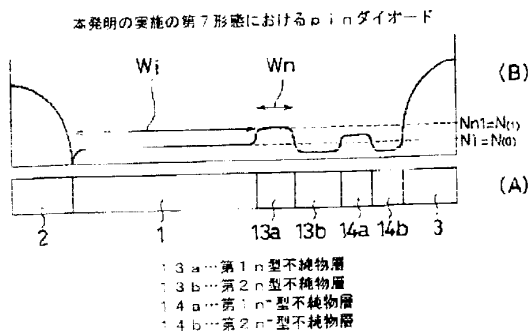


【図23】

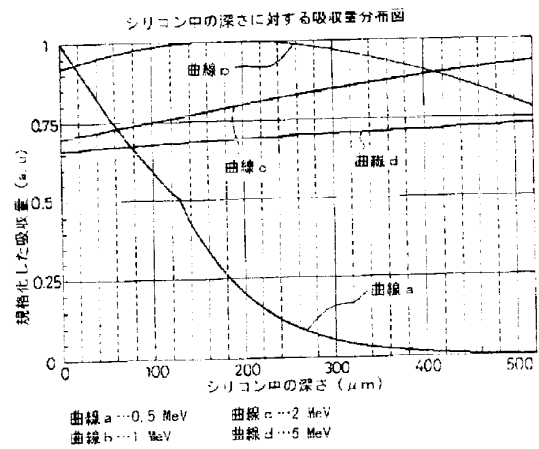
p-i-nダイオードホール濃度特性図



【図11】

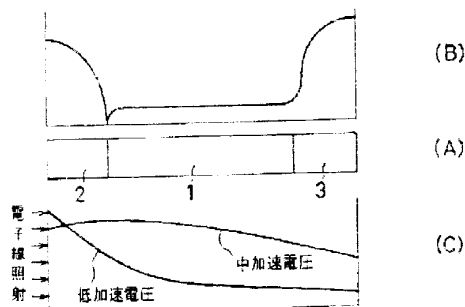


【図12】



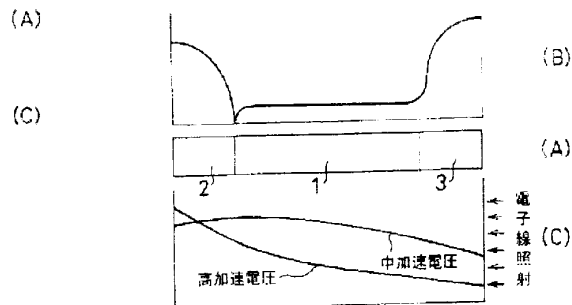
【図13】

本発明の実施の第8形態におけるライフタイム制御方法（アノード側）



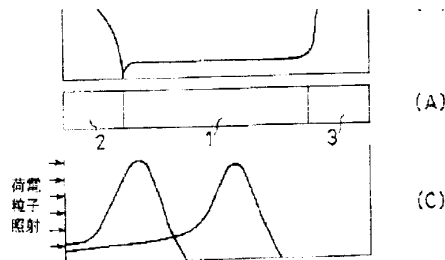
【図14】

本発明の実施の第8形態におけるライフタイム制御方法（カソード側）

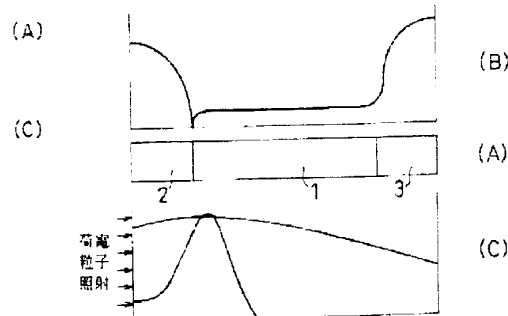


【図15】

本発明の実施の第9形態におけるライフタイム制御方法

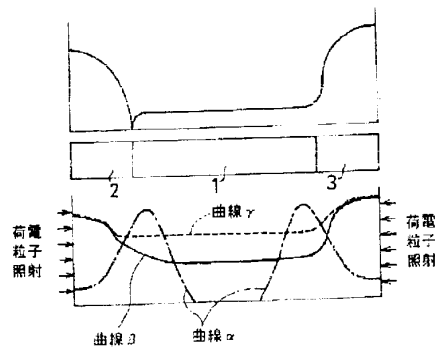


本発明の実施の第10形態におけるライフタイム制御方法



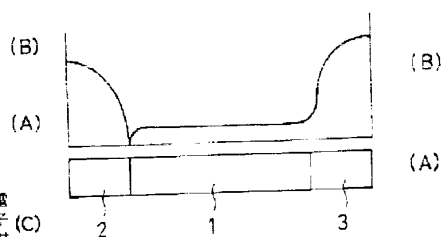
【図17】

本発明の実施の第1形態におけるライフタイム制御方法



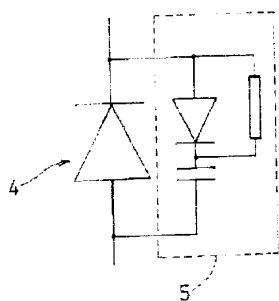
【図18】

一般的に知られているp-i-nダイオード



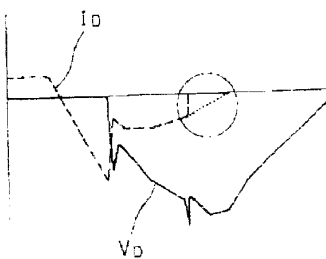
【図19】

スナバ回路を用いたp-i-nダイオードの回路図



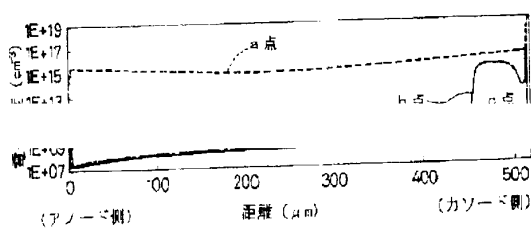
【図20】

p-i-nダイオードの電流・電圧波形図



【図22】

p-i-nダイオードの電子濃度特性図



【図24】

p-i-nダイオード電界強度特性図

